

FACSIMILE EQUIPMENT

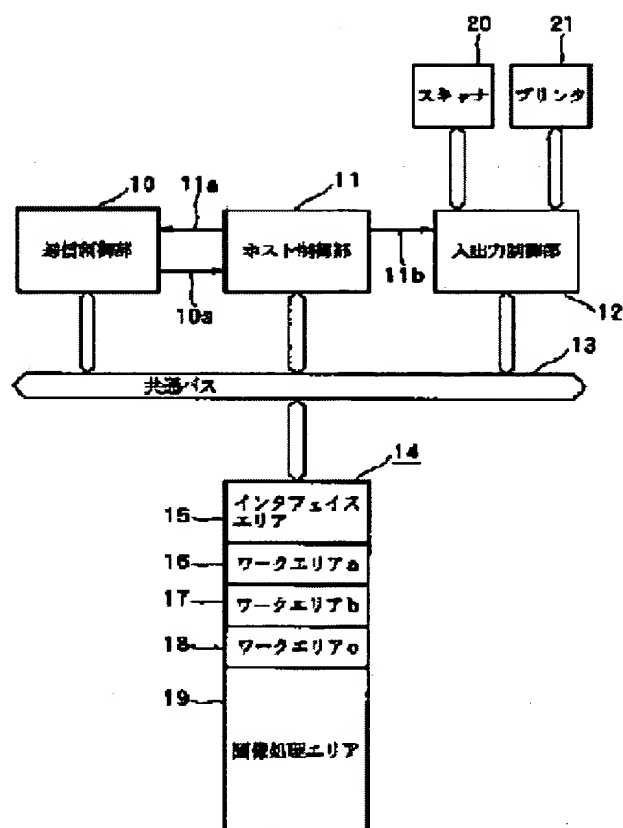
Patent number: JP6253116
Publication date: 1994-09-09
Inventor: CHISHIMA HIDEAKI
Applicant: CANON INC
Classification:
 - international: H04N1/21; H04N1/32
 - european:
Application number: JP19930036332 19930225
Priority number(s):

Report a data error here

Abstract of JP6253116

PURPOSE: To provide the facsimile equipment not needing an exclusive interface for data transmission/reception between control sections.

CONSTITUTION: First areas 16-18 of a common memory 14 are used for work areas for a host control section 11, a communication control section 10, and an input output control section 12, and a 2nd area 15 of the common share memory 14 is used for an interface area between plural control sections, and a 3rd area 19 of the common share memory 14 is used for a picture processing area used in common by the plural control sections. The plural control sections use an interface area 15 to make communication of command/response, and a control section publicizing a command discriminates a response of an opposite control section to the publicated command and sends a reset or forced interrupt signal to the opposite control section when the result of discrimination indicates an abnormality.



Data supplied from the esp@cenet database - Patent Abstracts of Japan

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平6-253116

(43)公開日 平成6年(1994)9月9日

(51)Int.Cl.⁵

H 0 4 N 1/21

1/32

識別記号

庁内整理番号

2109-5C

Z 2109-5C

F I

技術表示箇所

審査請求 未請求 請求項の数 4 O L (全 8 頁)

(21)出願番号 特願平5-36332

(22)出願日 平成5年(1993)2月25日

(71)出願人 000001007

キャノン株式会社

東京都大田区下丸子3丁目30番2号

(72)発明者 千島 英朗

東京都大田区下丸子3丁目30番2号 キヤ

ノン株式会社内

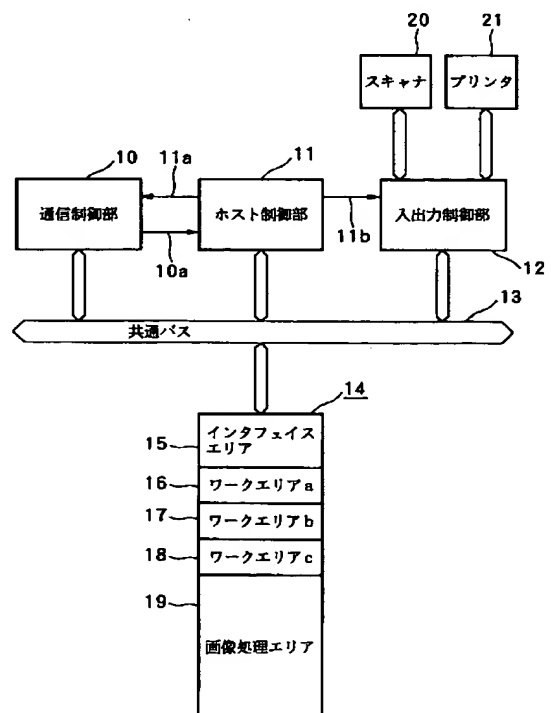
(74)代理人 弁理士 大塚 康德 (外1名)

(54)【発明の名称】 ファクシミリ装置

(57)【要約】

【目的】 各制御部間のデータ受け渡しに専用インタフェースを必要としないファクシミリ装置を提供する。

【構成】 共有メモリ14の第1のエリア16~18は、それぞれホスト制御部11、通信制御部10、入出力制御部12のワークエリアとして使用され、共有メモリ14の第2のエリア15は、前記複数の制御部間のインタフェースエリアとして使用され、共有メモリ14の第3のエリア19は、前記複数の制御部が共通に使用する画像処理エリアとして使用される。前記複数の制御部は、インタフェースエリア15を用いてコマンド/レスポンスの通信を行い、コマンドを発行した制御部は、発行したコマンドに対する相手制御部のレスポンスを判定して、判定結果が異常であった場合、該相手制御部へリセットまたは強制割込信号を送る。



(2)

【特許請求の範囲】

【請求項1】 それぞれ独立した複数の制御手段と、前記複数の制御手段が共有する記憶手段とを備えたフアクシミリ装置であつて、
前記記憶手段の第1のエリアを前記複数の制御手段それぞれのワークエリアとして使用し、
前記記憶手段の第2のエリアを前記複数の制御手段間の通信エリアとして使用し、
前記記憶手段の第3のエリアを前記複数の制御手段が共通に使用する画像処理エリアとして使用することを特徴とするフアクシミリ装置。

【請求項2】 前記複数の制御手段は、回線インタフェースを制御する通信制御部と、装置のサービス動作を制御するホスト制御部と、イメージスキヤナやプリンタなどの入出力部を制御する入出力制御部とを含むことを特徴とする請求項1記載のフアクシミリ装置。

【請求項3】 前記複数の制御手段は前記通信エリアを用いてコマンド／レスポンスの通信を行い、コマンドを発行した制御手段は、発行したコマンドに対する相手制御手段のレスポンスを判定して、判定結果が異常であつた場合該相手制御手段へリセットまたは強制割込信号を送ることを特徴とする請求項1または請求項2記載のフアクシミリ装置。

【請求項4】 前記複数の制御手段はそれぞれ他の制御手段の割込ベクタ情報を前記第1のエリアの自身のワークエリアへ保存して前記通信エリアを用いてコマンド／レスポンスの通信を行い、コマンドを発行した制御手段は、発行したコマンドに対する相手制御手段のレスポンスを判定して、判定結果が異常であつた場合、該相手制御手段のワークエリアの所定位置へ保存する該相手制御手段の割込ベクタ情報を復帰した後、該相手制御手段へリセットまたは強制割込信号を送ることを特徴とする請求項1または請求項2記載のフアクシミリ装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明はフアクシミリ装置に関し、例えば、複数の制御部と該複数の制御部が共通にアクセスするメモリを備えたフアクシミリ装置に関する。

【0002】

【従来の技術】 従来、通信制御部とホスト制御部、他の制御部とを分離して構成するフアクシミリ装置では、メモリ、I/Oは各制御部内のCPUバスに固定接続されている。このため、各制御部のメモリに記憶されたデータを各メモリ間で受け渡す際や、各制御部のCPU間でデータを受け渡す際は、専用インタフェースを用いていた。

【0003】 また、従来のフアクシミリ装置では、プログラム動作の異常監視を、各CPU毎に設けた専用監視

回路で行っていた。

【0004】

【発明が解決しようとする課題】 しかし、上記従来例においては、次のような問題点があつた。

(1) 各制御部間のデータ受け渡しを専用インタフェースで行うため、該インタフェースを制御するI/Oが各制御部に必要になり、また、インタフェースを制御するI/Oの動作設定およびハンドシェークなどの通信時間に影響するオーバーヘッドがあつた。

【0005】 (2) 各制御部のCPU毎に設けた専用監視回路で、プログラム動作の異常監視を行っていたために、回路規模が増してコストアップになつた。

(3) ワークエリアが破壊されたことによつてプログラム動作が異常になつた場合、CPUが割込処理時に参照するベクタ領域のデータも破壊されている可能性があり、強制割込みによる処理も正常に動作しない可能性があつた。

【0006】

【課題を解決するための手段】 本発明は、前記の課題を解決することを目的としたもので、前記の課題を解決する一手段として、以下の構成を備える。すなわち、それぞれ独立した複数の制御手段と、前記複数の制御手段が共有する記憶手段とを備えたフアクシミリ装置であつて、前記記憶手段の第1のエリアを前記複数の制御手段それぞれのワークエリアとして使用し、前記記憶手段の第2のエリアを前記複数の制御手段間の通信エリアとして使用し、前記記憶手段の第3のエリアを前記複数の制御手段が共通に使用する画像処理エリアとして使用するフアクシミリ装置にする。

【0007】 好ましくは、前記複数の制御手段は前記通信エリアを用いてコマンド／レスポンスの通信を行い、コマンドを発行した制御手段は、発行したコマンドに対する相手制御手段のレスポンスを判定して、判定結果が異常であつた場合該相手制御手段へリセットまたは強制割込信号を送るフアクシミリ装置にする。

【0008】

【作用】 以上の構成によつて、独立した複数の制御手段が共有する記憶手段の第1のエリアを該複数の制御手段それぞれのワークエリアとして使用し、第2のエリアを該複数の制御手段間の通信エリアとして使用し、第3のエリアを該複数の制御手段が共通に使用する画像処理エリアとして使用するフアクシミリ装置を提供できる。

【0009】 さらに、前記複数の制御手段は前記通信エリアを用いてコマンド／レスポンスの通信を行い、コマンドを発行した制御手段は、発行したコマンドに対する相手制御手段のレスポンスを判定して、判定結果が異常であつた場合該相手制御手段へリセットまたは強制割込信号を送るフアクシミリ装置を提供できる。

【0010】

【実施例】 以下、本発明に係る一実施例のフアクシミリ

(3)

3

装置を図面を参照して詳細に説明する。

【0011】

【第1実施例】図1は本実施例の構成例を示すブロック図である。同図において、10は通信制御部、11はホスト制御部、12は入出力制御部で、通信制御部10は回線インタフェースを管理し、ホスト制御部11は装置のサービス動作を管理し、入出力制御部12はイメージスキャナ20やプリンタ21などを管理する。なお、各制御部は、CPUと制御プログラムなどが格納されたROMなどを備え、該制御プログラムをCPUで実行することによって制御を実行し、またデータを転送するためのI/Oも備えている。さらに、通信制御部10とホスト制御部11の間には、互いにリセット・割込みを行うための信号線10a、11aが設けられ、ホスト制御部11と入出力制御部12の間には、ホスト制御部11が入出力制御部12をリセット・割込みするための信号線11bが設けられている。

【0012】14は共有メモリで、例えばRAMなどの半導体メモリで構成され、各制御部から共通バス13を介して任意にアクセスできる。なお、共有メモリ14のアドレス空間は、実行されるプログラムに応じて適切なサイズに分割される。例えば、共有メモリ14は、各制御部との間でデータの受け渡しを行うためのインタフェースエリア15、ホスト制御部11の有するCPU11cのワークエリアa16、通信制御部10の有するCPU10cのワークエリアb17、入出力制御部12の有するCPU12cのワークエリアc18および画像処理のために各処理部から共通にアクセスできる画像処理エリア19などに分割されている。

【0013】本実施例は、通常の動作において、各CPUが他のCPUのワークエリアをアクセスしないように、ハードウェアまたはソフトウェアによってガードしている。また、インタフェースエリア15および画像処理エリア19は、各CPUあるいは各I/Oが共通にアクセスすることができる。従って、各制御部は、対応するワークエリアを専用のローカルメモリとして、任意に自由にアクセスすることができる。また、送信側CPUによってインタフェースエリア14へ書込まれたデータを受信側CPUが読出すことによって、各CPU間のコマンド/レスポンス通信やメール交換などを実行することができる。さらに、送信側CPUによって画像処理エリア19に書込まれた画像データを受信側CPUが読出すことによって、各制御部で処理された画像データなどの交換を実行することができる。

【0014】次に、プログラム動作の異常監視について説明する。図2はCPU11cによるCPU12cのプログラム動作の異常監視例を示す図、図3は異常監視のフローチャート例である。インタフェースエリア15では、コマンド/レスポンス通信によって、常時、各制御部のCPU間で他制御部への動作指示やメール交換など

4

が行われ、本実施例の各種サービス動作を管理、制御している。

【0015】ホスト制御部11のCPU11cは、ステップS1で入出力制御部12のCPU12cへコマンド24を送出した後、ステップS2でCPU12cのレスポンス25を受信して、ステップS3で該レスポンスを検証する。通常、予め規定されたデータがレスポンス25として返されるが、レスポンス25が規定以外のものであったり、レスポンス25が返つてこない場合は、CPU11cは、CPU12cのプログラム動作に何らかの異常が発生したものと見なし、ステップS4で信号線11bによってCPU12cへリセットもしくは強制割込信号を送る。これにより、CPU12cは、リセットもしくは強制割込信号に従って、正常な動作を復帰することができる。

【0016】なお、上記の説明および図2においては、ホスト制御部11のCPU11cによって、入出力制御部12のCPU12cのプログラム動作を異常監視する例を説明したが、コマンド/レスポンス通信を実行する各制御部のCPUで双方向に異常監視を実施することができる。次に、割込ベクタ情報も再設定してリセットもしくは強制割込信号を送出する例を説明する。

【0017】図4は割込ベクタ情報を再設定してリセットもしくは強制割込信号を送出する一例を示す図、図5は異常監視のフローチャート例である。電源投入などによる本実施例の立上時、入出力制御部12のCPU12cは、プログラムのスタートアップ動作によって、自らのワークエリアc18の割込ベクタテーブルに割込ベクタ情報27を設定する。ホスト制御部11のCPU11cは、ワークエリアc18の割込ベクタ情報27を讀出して、自らのワークエリアa16にストアする。なお、通常時においては、CPU11cがCPU12cのワークエリア18をアクセスするのは不可能であるが、装置立上時およびプログラム動作の異常が発生した際には、アクセス可能な状態にしておく。

【0018】その後、図3に示した例と同様に、ステップS11からステップS13で、CPU12cのプログラム動作に異常が発生した場合、CPU11cは、ステップS14でワークエリアa16にストアしたCPU12cの割込ベクタ情報をワークエリアc18の所定位置の割込ベクタテーブルに再設定し、ステップS15で信号線11bによってCPU12cへリセットもしくは強制割込信号を送信する。これにより、プログラム動作に異常が発生したCPU12cは、自らの割込ベクタテーブルが破壊された場合においても、CPU11cからのリセットもしくは強制割込信号を認識した後、CPU11cによって正しく設定し直された割込ベクタ情報27を讀出して、正常な動作に復帰することができる。

【0019】なお、上記の説明および図4においては、ホスト制御部11のCPU11cによって、入出力制御

10

20

30

40

50

(4)

5

部12のCPU12cのプログラム動作を異常監視し、異常が発生した場合に割込ベクタテーブルを再設定する例を説明したが、コマンド／レスポンス通信を実行する各制御部のCPUで双方向に異常監視を実施することができる。

【0020】以上説明したように、本実施例によれば、CPUを有する複数の制御部が共通にアクセスできるメモリを設けて、そのメモリの一部を用いてCPU間通信を行うことで、ハードウェア構成を小型化し、かつ制御部間インタフェイスを高速に行うことができる。また、CPU間通信におけるレスポンスの正常／異常を相互に監視することで、各CPU毎に設けていたプログラム動作の異常監視回路が不要となり、さらに、プログラム動作に異常が発生したCPUの割込ベクタ情報を再設定した後、該CPUへリセットもしくは強制割込信号を送信することによつて、該CPUの割込ベクタテーブルが破壊された場合でも、正常なプログラム動作に復帰させることができる。

【0021】なお、本発明は、複数の機器から構成されるシステムに適用しても、1つの機器からなる装置に適用してもよい。また、本発明はシステムあるいは装置にプログラムを供給することによつて達成される場合にも適用できることはいうまでもない。

【0022】

【発明の効果】以上、本発明によれば、独立した複数の制御手段が共有する記憶手段の第1のエリアを該複数の制御手段それぞれのワークエリアとして使用し、第2のエリアを該複数の制御手段間の通信エリアとして使用

6

し、第3のエリアを該複数の制御手段が共通に使用する画像処理エリアとして使用するファクシミリ装置を提供できる。

【0023】さらに、前記複数の制御手段は前記通信エリアを用いてコマンド／レスポンスの通信を行い、コマンドを発行した制御手段は、発行したコマンドに対する相手制御手段のレスポンスを判定して、判定結果が異常であつた場合該相手制御手段へリセットまたは強制割込信号を送るファクシミリ装置を提供できる。

10 【図面の簡単な説明】

【図1】本発明に係る一実施例の構成例を示すブロック図である。

【図2】本実施例のプログラム動作の異常監視例を示す図である。

【図3】本実施例の異常監視のフローチャート例である。

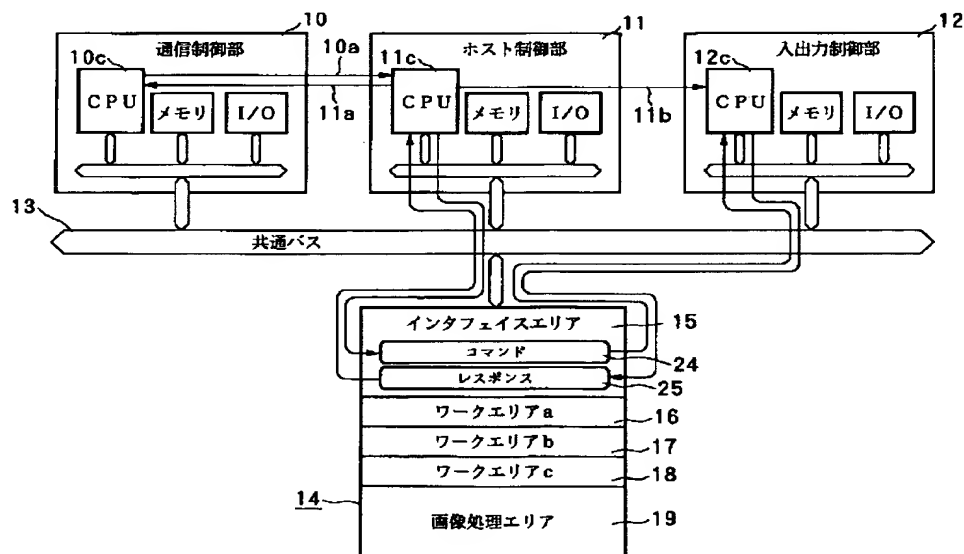
【図4】本実施例の割込ベクタ情報を再設定してリセットもしくは強制割込信号を送出する一例を示す図である。

20 【図5】本実施例の異常監視のフローチャート例である。

【符号の説明】

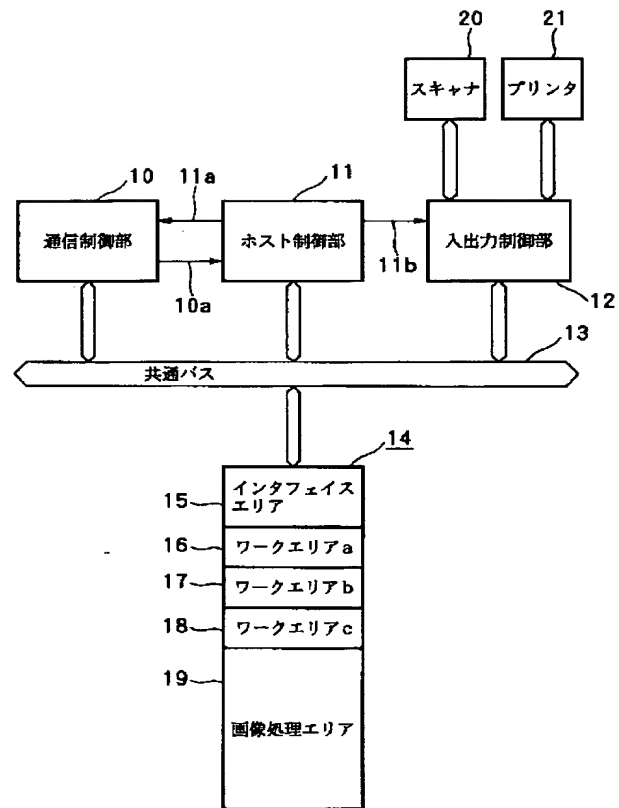
- 10 通信制御部
- 11 ホスト制御部
- 12 入出力制御部
- 13 共通バス
- 14 共有メモリ

【図2】



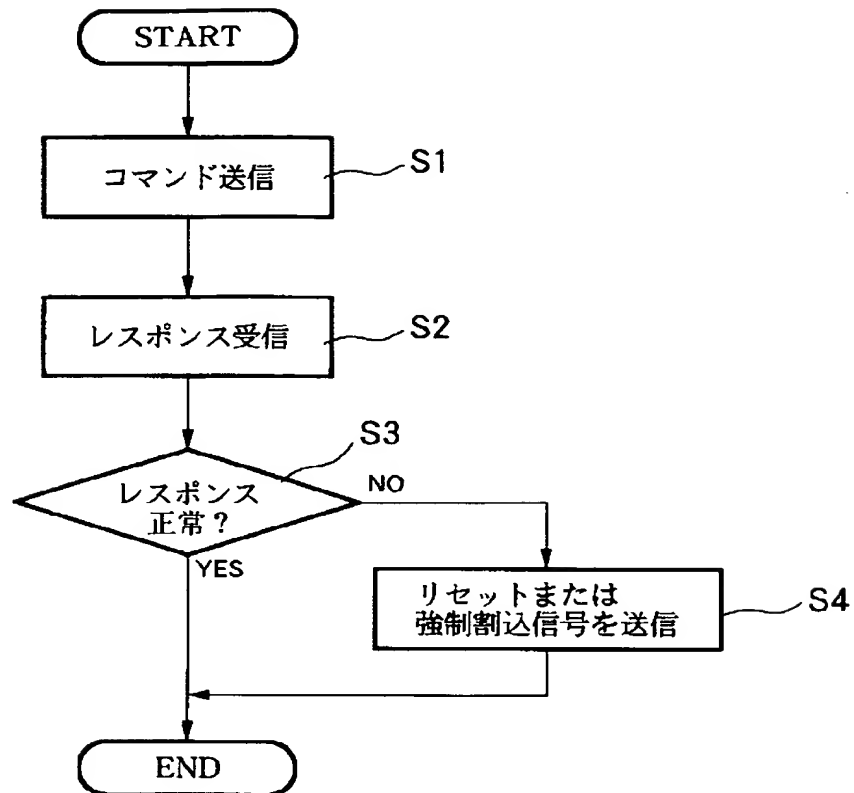
(5)

【図1】



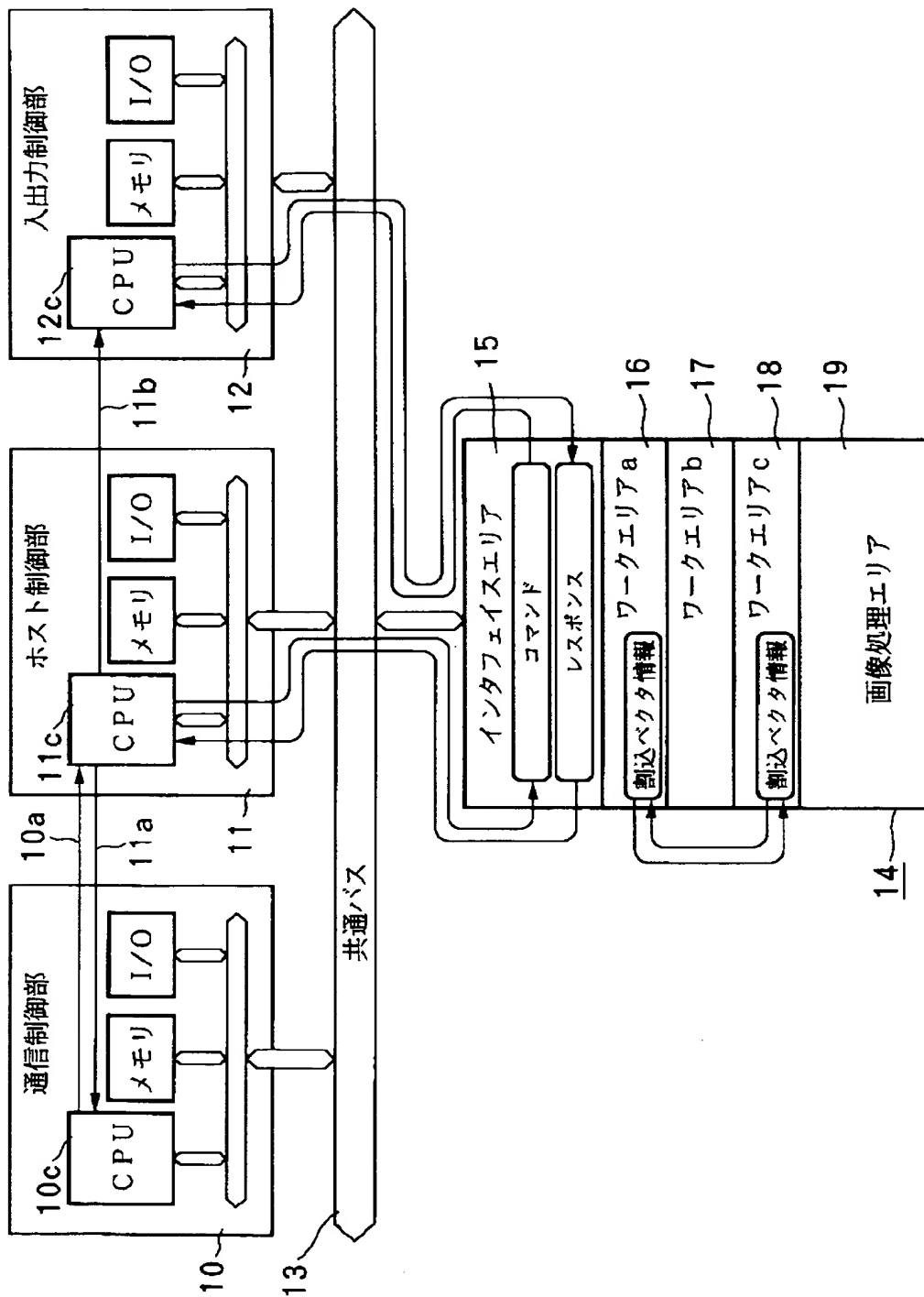
(6)

【図3】



(7)

【図4】



(8)

【図5】

